

並列処理プロセッサ TPCORE の改善と向上

佐々朋紘

数理情報科学専攻 福永研究室

2009 年 2 月 4 日

- 1 研究背景
- 2 並列処理プロセッサ TPCORE
- 3 Verilog-HDL による回路の実装
- 4 タイミング制約
- 5 TPCORE の動作周波数の向上
- 6 その他、TPCORE の不具合の修正について
- 7 結論と今後の課題

研究背景

- 当研究室では、並列処理プロセッサ TPCORE を用いて研究を行っている。
- TPCORE の動作周波数の向上の可能性については今まで検討されてこなかった。
- そこで、本研究において TPCORE の動作周波数の向上について追求した。

並列処理プロセッサ TPCORE

- 以前、当研究室で開発された並列処理プロセッサである。
- 英国 Inmos 社の Occam プログラムを実行可能な並列プロセッサ Transputer をモデルにしており、アセンブリレベルで互換性を持っている。

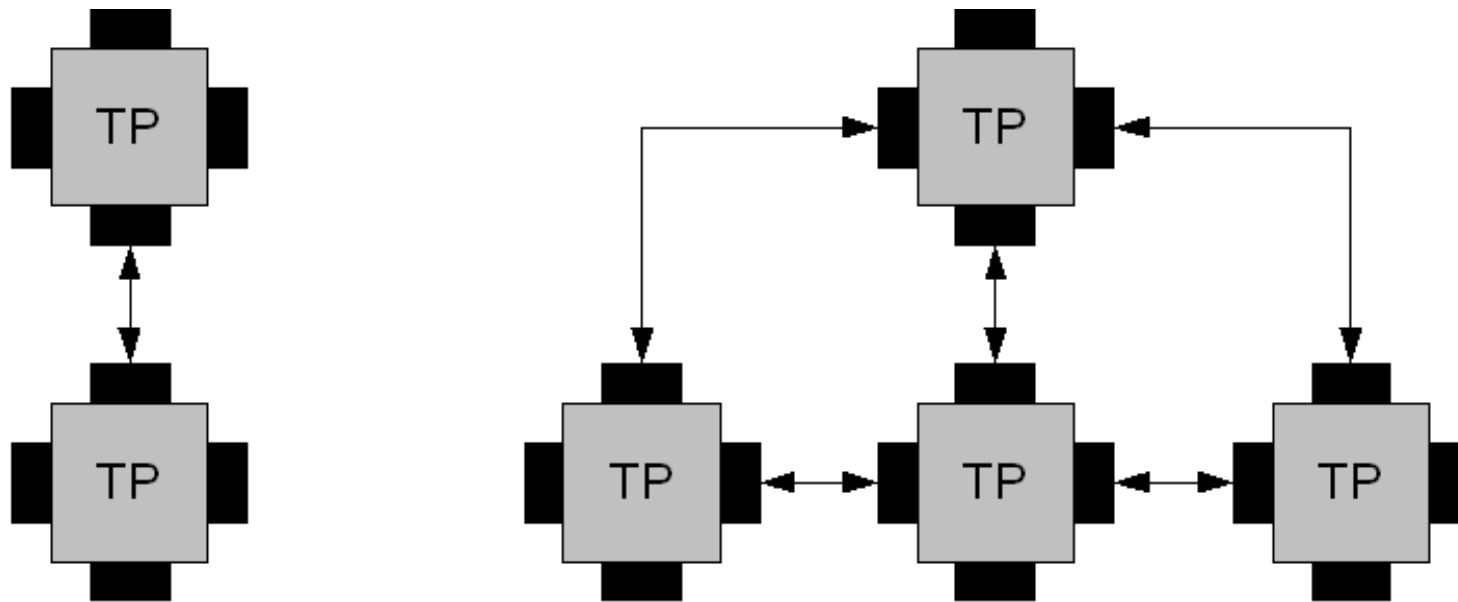
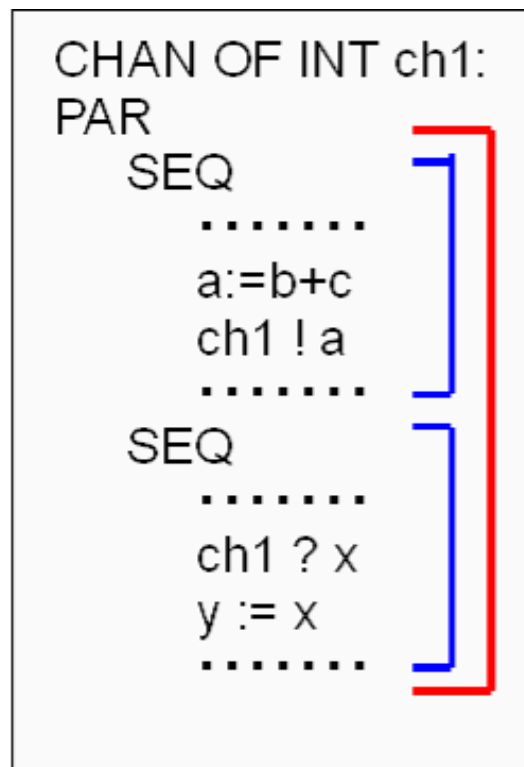


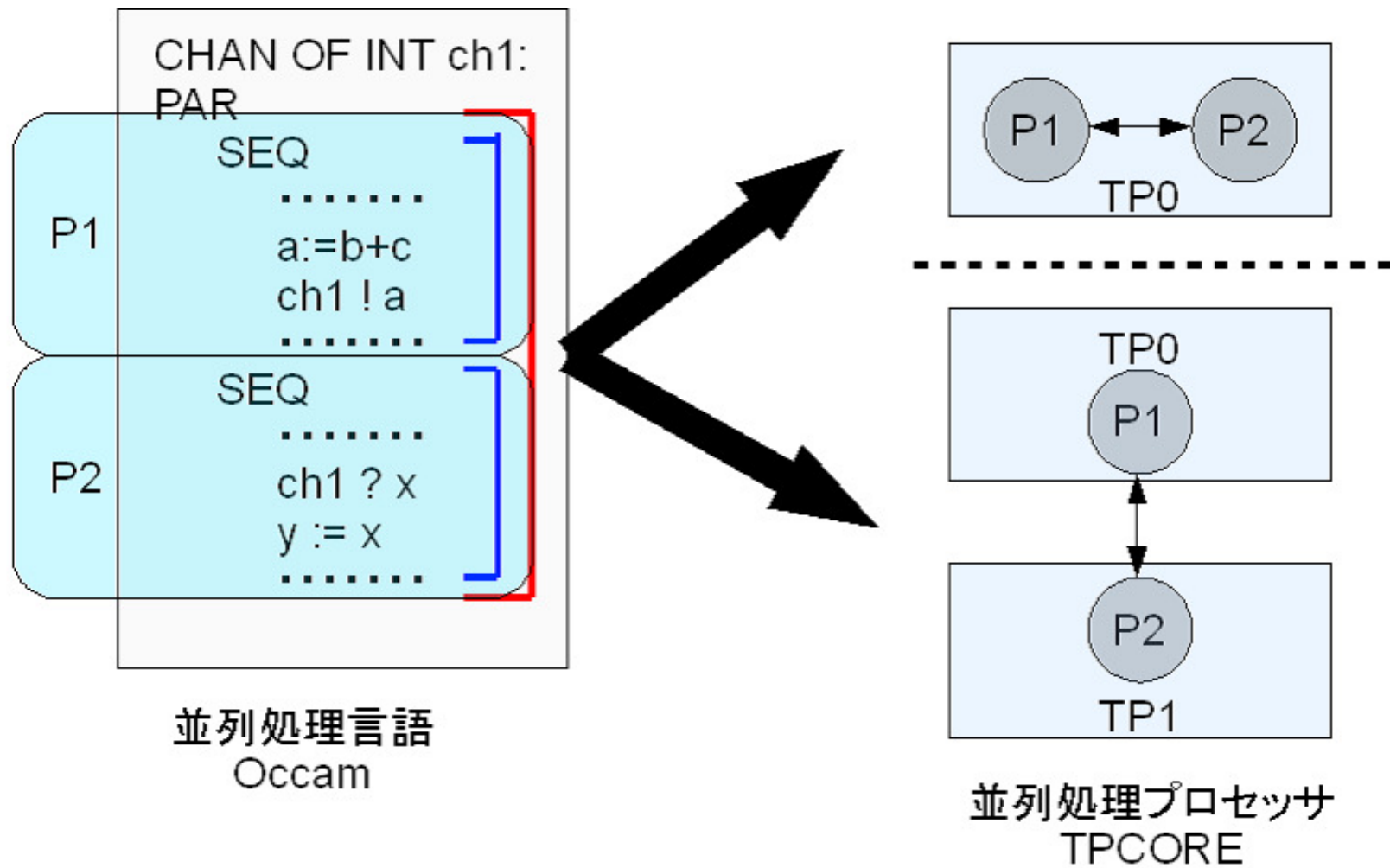
Figure: TPCORE のネットワーク接続の例

並列処理システム



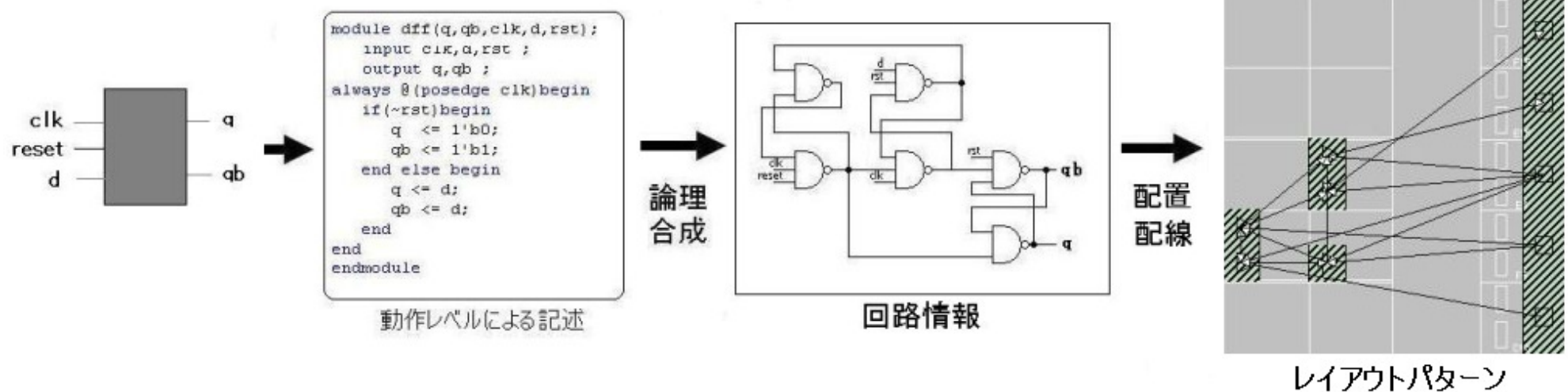
並列処理言語
Occam

並列処理システム



Verilog-HDL による回路の実装

- TPCORE は、ハードウェア記述言語 Verilog-HDL(Hardware Description Language) によって記述されている。



FPGA への実装と検証

- 配置・配線により生成されたレイアウトパターンは、FPGA(Field Programmable Gate Array) 上に実装される。

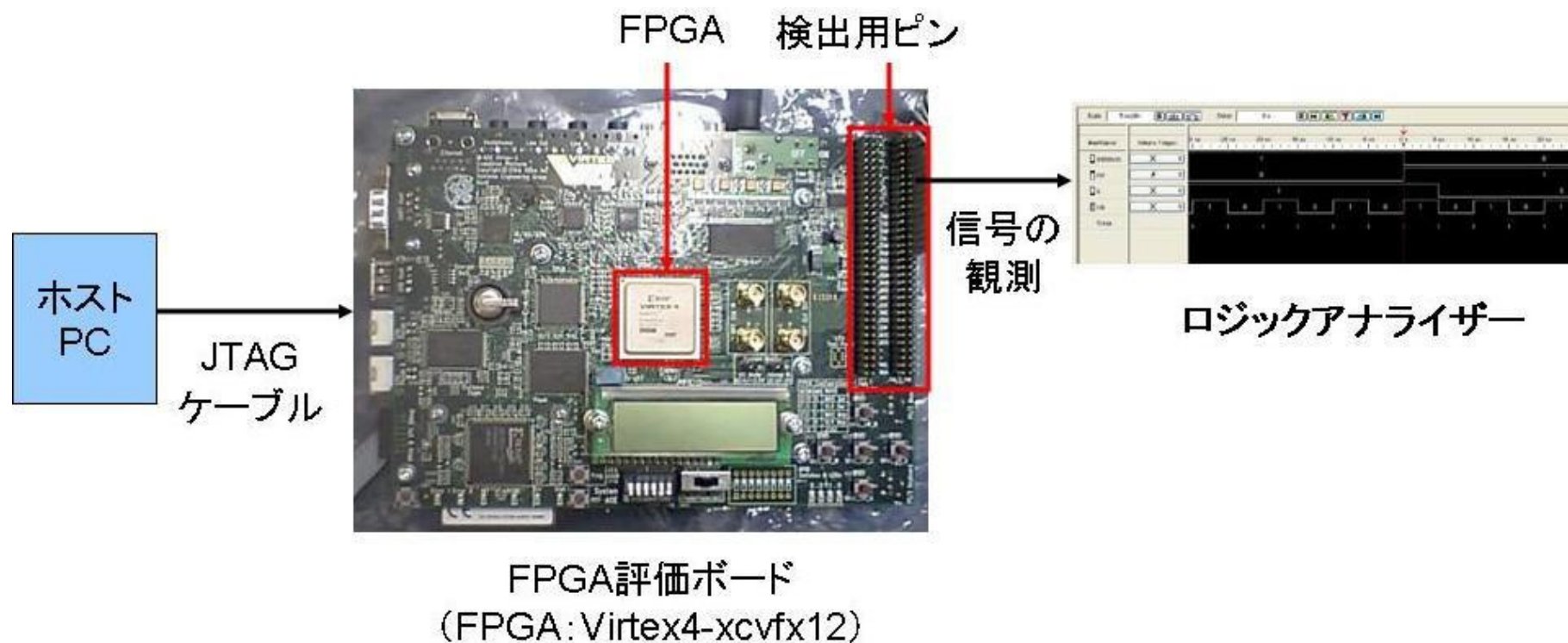


Figure: FPGA への実装と検証の流れ

回路の動作周波数

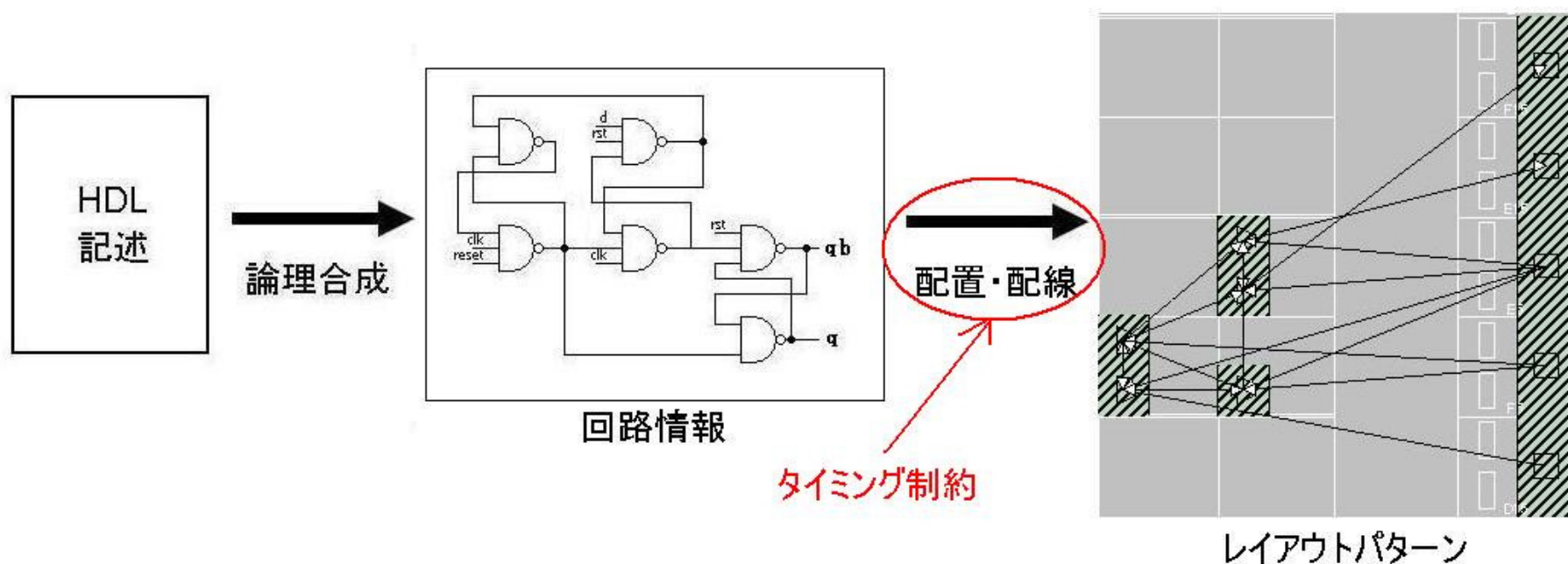
- TPCORE 内の回路は全てクロックに同期している。クロック周期を $T[s]$ としたとき, 動作周波数 $f[Hz]$ は

$$f = \frac{1}{T}$$

- パス：回路内の素子同士をつなぐ配線。
- クリティカルパス：全てのパスの中で最も遅延の大きいパス。

タイミング制約

- クリティカルパスの縮小 \iff クリティカルパスが関わる素子の配置を変更する。
- 回路の遅延の分析には、Timing Analyzer を用いた。



本研究着手時

従来 24MHz で動作 ⇒ 48MHz での動作が目標。

研究当初の最大動作周波数

$$f = \frac{1}{24.4[ns]} = 40.9[MHz]$$

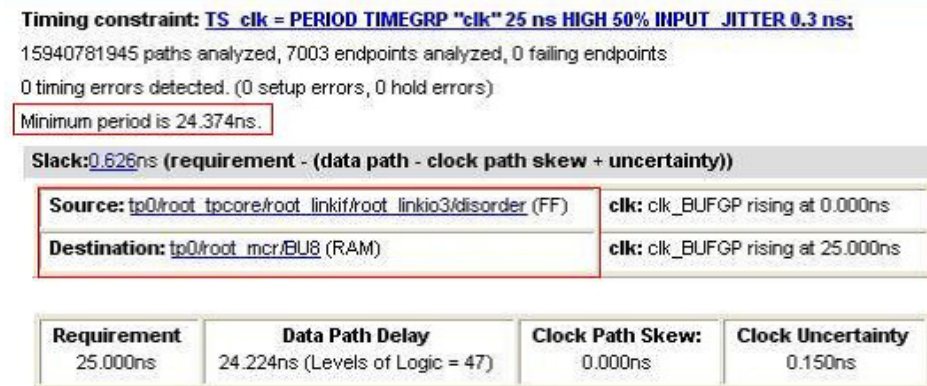
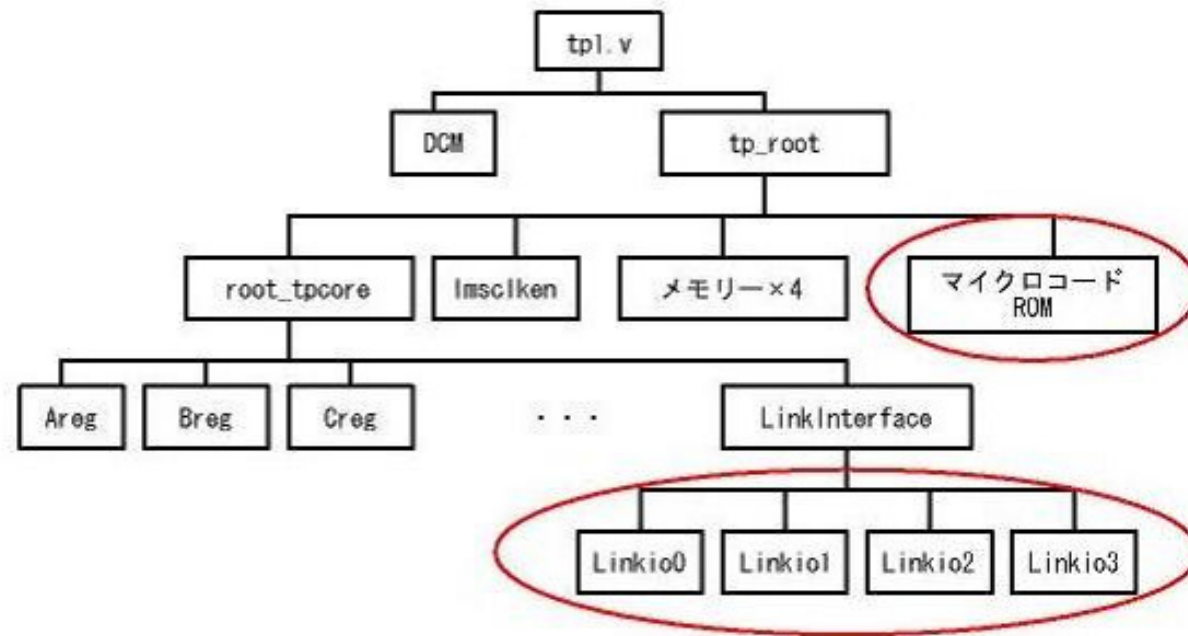


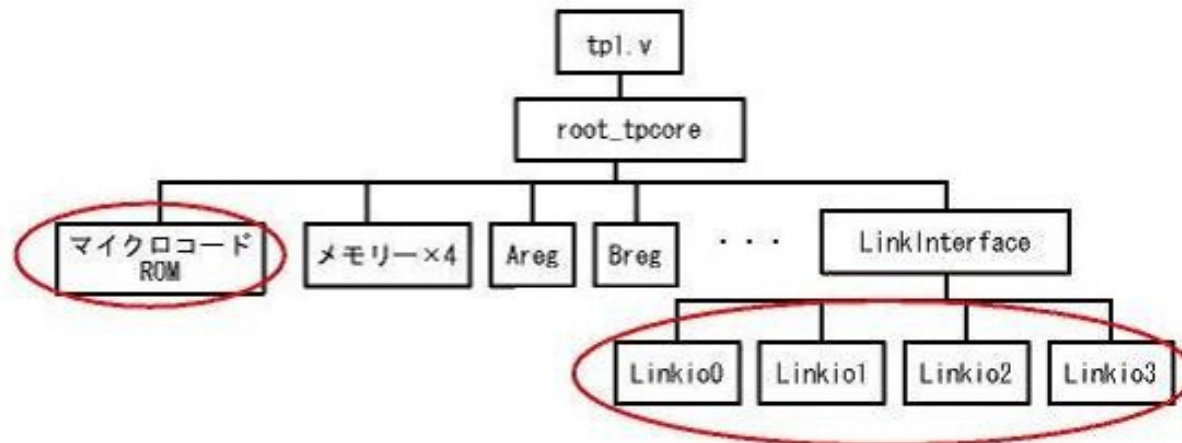
Figure: Timing Analyzer による解析結果

回路の階層構造の変更

階層構造
変更前



階層構造
変更後



回路変更後の最大動作周波数

- 48MHz で動作させるという目標を達成。
- 本研究着手前と比較して、100%の動作周波数向上を実現。

回路変更後の最大動作周波数

$$f = \frac{1}{20.6[ns]} = 48.5[MHz]$$

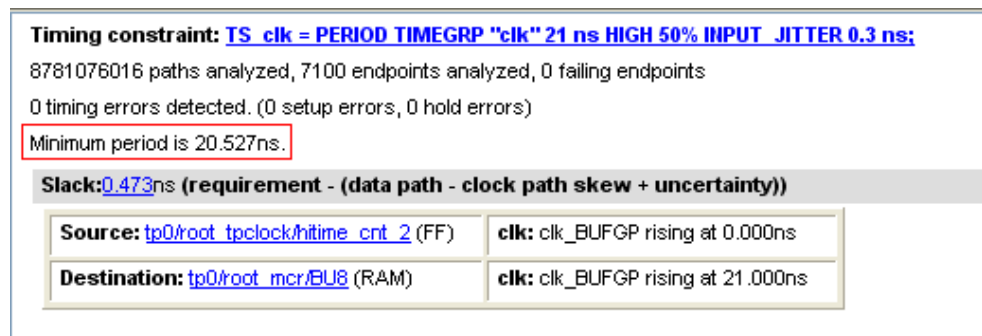
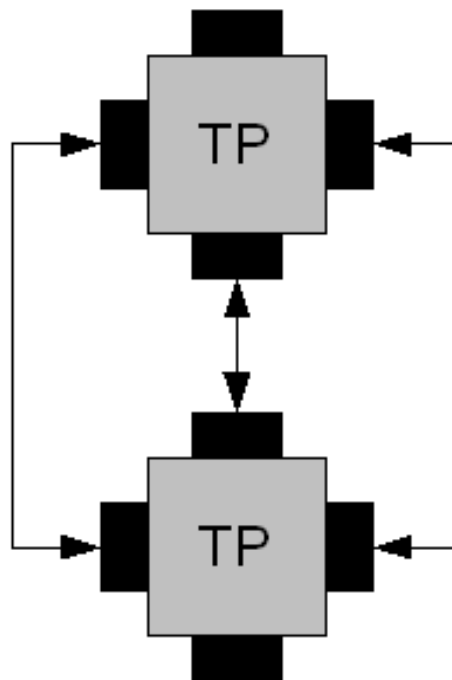


Figure: Timing Analyzer による解析結果

その他、不具合の修正について

- TPCORE での不具合を解消した。
- TPCORE 内部の命令処理の流れを分析することによって不具合の原因を発見し、修正することができた。



結論

- タイミング制約がより効果的にかかる回路設計を提案できた。
- 本研究で動作周波数を 48MHz に向上させることができ、100%の動作周波数の向上を達成できた。
- 不具合の早期発見、早期修正が可能になった。
 - デバッグツール ChipScope などの開発環境を整え、効率的な使用も提案した。
 - TPCORE のマイクロプログラムの状態遷移を分析し、不具合を発見できた。

今後の課題

- TPCORE 複数台での 48MHz の動作実現。
- 命令処理の考察結果からマイクロプログラムの見直しを図り、命令処理を高速化する。